

31. 3. 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

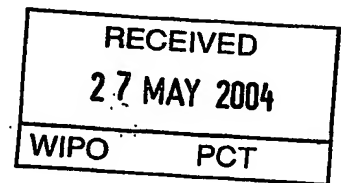
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年 3月31日

出 願 番 号
Application Number: 特願2003-096209
[ST. 10/C]: [JP 2003-096209]

出 願 人
Applicant(s): キヤノン株式会社



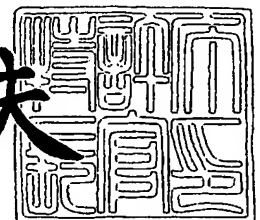
PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

BEST AVAILABLE COPY

2004年 5月13日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 254032

【提出日】 平成15年 3月31日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 29/00

【発明の名称】 有機薄膜トランジスタ

【請求項の数】 1

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

 【氏名】 小金井 昭雄

【特許出願人】

 【識別番号】 000001007

 【氏名又は名称】 キヤノン株式会社

 【代表者】 御手洗 富士夫

【代理人】

 【識別番号】 100069017

 【弁理士】

 【氏名又は名称】 渡辺 徳廣

 【電話番号】 03-3918-6686

【手数料の表示】

 【予納台帳番号】 015417

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9703886

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 有機薄膜トランジスタ

【特許請求の範囲】

【請求項 1】 有機半導体膜を用いた有機薄膜トランジスタにおいて、有機薄膜トランジスタが有機基板、ゲート電極、ゲート絶縁膜、有機半導体膜、ソース電極、ドレイン電極によって構成されており、ゲート絶縁膜と接するゲート電極の平均表面荒さ R_a が 0.1 nm 以上 15 nm 以下であることを特徴とする有機薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、有機半導体材料を用いた薄膜トランジスタおよびその製造方法に関する。特に、有機樹脂基板上に直接薄膜トランジスタを形成する際に必要となる平坦化工程に関する。

【0002】

【従来の技術】

近年、有機半導体材料を用いた薄膜トランジスタ（以下、有機薄膜トランジスタ）の開発競争が加速している。有機材料を用いることでプロセスの低温化が図れ、大面積に低コストでトランジスタを形成できることが期待される。薄型ディスプレイや電子ペーパーの駆動回路、無線認証（RF-ID）のタグ、ICカードなどの応用展開が想定されている。技術的なレビューが幾つか存在する。（例えば、非特許文献 1 参照）

【0003】

有機薄膜トランジスタの構造例を図 3 に示す。301 は基板、302 は導体膜からなるゲート電極、303 はゲート絶縁膜、304 は有機半導体膜、305 はソース電極、306 はドレイン電極である。

【0004】

図 3 において、基板 301 には例えばガラスエポキシ樹脂を用いることが出来る。この場合、ゲート電極 302 は導体膜をゲート電極形状にパターンニング後、

研磨による平坦化処理を行っている。さらにその上にゲート絶縁膜、有機半導体膜、ソース電極、ドレイン電極を形成し有機薄膜トランジスタを構成している。

【0005】

この有機薄膜トランジスタを動作させるには、ソース電極を接地し、ドレイン電極に V_{dd} を印加した状態で、ゲート電極にしきい値電圧 V_{th} を超える電圧を印加する。この時、ゲート電極からの電界によって有機半導体膜の導電率が変化し、ソース～ドレイン電極間に電流が流れる。ゲート電圧によってスイッチのようにソース～ドレイン電極間の電流をオンオフすることが出来る。

【0006】

これまでに、Siウエハ以外の材料を基板に用いて有機薄膜トランジスタを形成した例は 多数報告されているが、移動度が $0.1 \text{ cm}^2 / \text{Vs}$ を超える例は少ない。例えば、有機半導体膜としてペンタセンを用いてSiウエハ上に形成したトランジスタでは移動度 $1 \text{ cm}^2 / \text{Vs}$ を超える報告があるが、同じペンタセンを用いていてもPET上では $0.05 \text{ cm}^2 / \text{Vs}$ 程度が最高である。ポリカーボネート上で $0.2 \text{ cm}^2 / \text{Vs}$ の報告があるが、これはゲート絶縁膜を高誘電率材料としたためであり例外的なデータである（例えば、非特許文献2参照）。同一材料であっても移動度が低下する要因として基板表面荒さが関与していると考えられる。

【0007】

【非特許文献1】

C. D. Dimitrakopoulos他「Organic Thin Film Transistors for Large Area Electronics」Advanced Material誌、2002年14、No. 2、P. 99-117

【非特許文献2】

C. D. Dimitrakopoulos他「Low-Voltage Organic Transistors on Plastic Comprising High-Dielectric Constant Gate Insulators」Science誌、1999年、283、P. 822

【0008】

【発明が解決しようとする課題】

図3に示す構造の有機薄膜トランジスタを作成するには、ゲート電極表面の平坦性が重要である。特に、基板としてシリコンウエハと比べ平坦性が劣るポリエチレンテレフタレートやポリカーボネート等の有機高分子材料やプリント基板として使用される銅箔を付加したガラスエポキシ樹脂を使用する場合には問題である。表面荒さがシリコンウエハと比べ10～1000倍劣るため、ゲート電極上に形成したゲート絶縁膜の被覆性が悪い場所が生じてゲートリークが大きくなり十分な電界効果が得られなくなる。また場所によりゲート絶縁膜の膜厚ムラが生じてトランジスタ特性がばらつく要因となる。さらには表面荒さに起因して移動度が低下する場合もある。

【0009】

シリコンウエハ以外の基板を用いて有機薄膜トランジスタを形成するためには、ゲート絶縁膜を形成するゲート電極表面の平坦化プロセスが必要になる。平坦化プロセスとしては、シリコンテクノロジーにおいて多層配線を実現するため絶縁膜を平坦化するCMP（化学機械研磨）が広く知られている。しかしながら、ガラスエポキシ樹脂のようにシリコンウエハと比べて形状が不安定で、平坦性に劣る基板上に、直接トランジスタを形成する手法において、ゲート電極表面上で必要な表面荒さに対する十分な知見が得られていなかった。

【0010】

従って本発明の第1の課題は、ゲート電極表面を研磨プロセスで平坦化する際に安定なトランジスタ動作を得るうえで必要な平坦化レベルを明確化することである。

本発明の第2の課題は、ガラスエポキシ樹脂のようにシリコンウエハと比べ形状が不安定で、平坦性に劣る基板上に設けた導体膜をゲート電極として使用する技術を提供することである。

本発明の第3の課題は、安定した動作特性が得られるトランジスタを多数個使用した安価な半導体装置を作ることである。

【0011】

【課題を解決するための手段】

上記の課題を解決するための手段について鋭意検討を行った結果、以下の手段が適当であるとの結論に至った。

【0012】

すなわち、本発明は、有機半導体膜を用いた有機薄膜トランジスタにおいて、有機薄膜トランジスタが有機基板、ゲート電極、ゲート絶縁膜、有機半導体膜、ソース電極、ドレイン電極によって構成されており、ゲート絶縁層と接するゲート電極面の平均表面荒さ R_a が 0.1 nm 以上 15 nm 以下であることを特徴とする有機薄膜トランジスタである。

【0013】

また、本発明は、有機半導体膜を用いた有機薄膜トランジスタの製造方法において、有機薄膜トランジスタが基板、ゲート電極、ゲート絶縁膜、有機半導体膜、ソース電極、ドレイン電極によって構成されており、ゲート絶縁膜と接するゲート電極の平均表面粗さ R_a が 0.1 nm 以上 15 nm 以下であることを特徴とする有機薄膜トランジスタの製造方法である。

【0014】**【発明の実施の形態】**

ガラスエポキシ樹脂のように形状が不安定で、平坦性に劣る基板においてトランジスタ作成に適するゲート電極表面の平坦性について鋭意検討した結果、ゲート電極面の平均表面荒さ R_a が 0.1 nm 以上 15 nm 以下とすることが有効であることがわかった。すなわち、研磨前の表面荒さが上記範囲を超えるレベルにあったとしても、研磨後にこの範囲内に収まるように加工を行えば十分なトランジスタ特性が得られることが明らかになった。本発明はこの知見を元に発案するにいたったものである。

【0015】

本発明である有機薄膜トランジスタの構造例を図1に示す。101は基板、102は導体膜からなるゲート電極、103はゲート絶縁膜、104は有機半導体膜、105はソース電極、106はドレイン電極である。

【0016】

本発明である図1では、図3と比べソース電極とドレイン電極の間に位置するチャンネル形成領域においてゲート電極、ゲート絶縁膜、有機半導体膜の表面荒さが大きい様子を強調して示している。ゲート電極の研磨条件を適正化し、必要な平坦化レベルを定義づけることで安価な基板を利用した有機薄膜トランジスタの作成が可能になる。

【0017】

本発明の有機薄膜トランジスタの動作手順は図3に示した従来のものと同じである。すなわち、ソース電極を接地し、ドレイン電極に V_{dd} を印加した状態で、ゲート電極にしきい値電圧 V_{th} を超える電圧を印加する。この時、ゲート電極からの電界によって有機半導体膜の導電率が変化し、ソース～ドレイン電極間に電流が流れる。ゲート電圧によってスイッチのようにソース～ドレイン電極間の電流をオンオフすることが出来る。

【0018】

研磨前のガラスエポキシ樹脂基板に貼り合わせた銅箔の表面荒さは $1\mu m$ 程度であり、これをCMPで平均表面荒さ R_a が $0.1nm$ 以上 $15nm$ 以下の範囲とすることで十分な特性が得られる。 $0.1nm$ 未満の R_a とすることは可能であるが、シリコンウエハを上回る表面荒さを目指すことになるため研磨に要する時間が膨大でコスト的にガラスエポキシ樹脂基板を用いるメリットがなくなる。また、研磨前の導体膜の膜厚を厚くする必要がある。逆に R_a が $15nm$ を越えるままで有機薄膜トランジスタを作成すると、ゲートリークが多発し信頼性が損なわれる。また、移動度が高くない。従って、本発明が規定する平均表面荒さ R_a が $0.1nm$ 以上 $15nm$ 以下とすることが、シリコンウエハ以外の基板を用いて有機薄膜トランジスタを作る上で望ましい。さらに、コストメリットを増大する上では $1nm$ 以上 $10nm$ 以下とすることが望ましい。信頼性をさらに高めコストメリットも享受するためには $1nm$ 以上 $5nm$ 以下とすることが最も望ましい。

【0019】

本発明の有機基板としては、ポリエチレンテレフタレート、ポリカーボネート、ポリエチレン、ポリスチレン、ポリイミド、ポリ酢酸ビニル、ポリ塩化ビニル

、ポリ塩化ビニリデンなどの高分子材料やプリント回路基板に用いられるガラスエポキシ樹脂基板などから選択することが可能である。基板に要求される項目としては、平坦性、強度、耐熱性、熱膨張係数、コストなどの観点から適宜用途に応じて選択することが可能である。

【0020】

本発明の有機半導体膜としては、ペンタセン、テトラセン、アントラセンなどの π 共役電子を持つオリゴマーやポリチオフェン、ポリアセン、ポリアセチレン、ポリアニリン等の有機半導体ポリマーなどから適宜選択することが可能である。

【0021】

本発明のゲート絶縁膜としては SiO_2 、 Al_2O_3 、 Ta_2O_5 などの無機酸化物や Si_3N_4 などの窒化物を用いることが出来る。ゲート絶縁膜は、オン抵抗を下げ、ドレイン電流を増大するためには高誘電率材料であることが望ましい。また、ポリビニルフェノール(PVP)、ポリメチルメタクリレート(PMMA)、ポリエチレンなどの絶縁性有機ポリマーを用いることも出来る。

【0022】

本発明のゲート電極、ソース電極、ドレイン電極としては、金、銀、白金などの貴金属や銅、アルミニウムなど導電率が高い材料を用いることが出来る。また、導電性ポリマーを用いてこれらの電極を形成することも出来る。

【0023】

本発明の本質は有機薄膜トランジスタを安定動作させるために必要なゲート絶縁膜の有機半導体と接する面の表面荒さを定義することにある。従って、研磨の方法については、各種当該技術者が想定しうる技術のアレンジが可能であることは言うまでもない。また、研磨すべき対象は、ゲート絶縁膜でも、ゲート電極でも、基板でも良い。あくまでも有機半導体膜が接するゲート絶縁膜表面の状態が重要である。しかしながら、ゲート絶縁膜を研磨する場合には、ゲート絶縁膜の厚さが場所によって変化してしまう。このため、電界のかかり方が変わってしまうか絶縁性を損なうことになる。したがって第一義的にはゲート電極が研磨対象となる。

【0024】

【実施例】

以下に実施例を挙げて本発明を具体的に説明する。

【0025】

実施例 1

図4から8は、本発明の有機薄膜トランジスタの作成方法を示す模式図である。図4において、401は基板、402は導体膜である。401と402は、例えばガラスエポキシ基板と銅箔の組み合わせで一体となったものがプリント回路基板として流通しており、今回は基板厚さ0.2mm、導体膜である銅箔の膜厚35 μ mのものを使用した。また、基板に対し両面に導体膜を配した形態のものが多いが、本発明の説明上不要なため省略している。導体膜の膜厚は35 μ mである。

【0026】

次に、導体膜に対しパターンニングを施し所望のゲート形状に加工する。加工手段としてはドライフィルムを利用したリソグラフィ技術によるマスク形成と、導体膜のウェットエッチングによる形状転写を用いることが出来る。図5は配線形状に加工した後の状態を示す。402がゲート電極となる導体膜である。ウェットエッチ後に、この導体膜部分をCMPで研磨を行い、本発明を実施する上で必要な表面荒さの調整を行う。

【0027】

図6は、ゲート電極となる導体膜402上にゲート絶縁膜403を形成した状態を示す。ゲート絶縁膜403の形成にはマグネトロンスパッタを用いた。成膜領域はシャドーマスクで規定する。材料はAl₂O₃である。膜厚は250nmである。

【0028】

図7は、ゲート絶縁膜403上に有機半導体膜404を形成した状態を示す。有機半導体膜404の形成には蒸着を用いた。成膜領域はシャドーマスクで規定する。材料は昇華精製したペンタセンである。膜厚は150nmである。

【0029】

図8は、有機半導体膜404と接するようにソース電極405とドレイン電極406を設けた状態を示す。ソース電極405およびドレイン電極406の形成には蒸着を用いた。成膜領域はシャドーマスクで規定する。材料はAuである。膜厚は100nmである。

【0030】

研磨条件を変えてゲート電極表面荒さ R_a の異なる基板を作成した。図5の研磨工程まで終了した基板は、カードサイズ(86mm×54mm)に切り出される。ゲート電極の表面荒さをSPM(scanning probe microscope)で評価した。15 μ m角のエリアについてハイアスペクトタイプのプローブチップを用いてタッピングモードで5箇所測定した。図2は、本発明の規定する表面荒さの一例で、 R_a は3.8nmの例である。図2は、ゲート電極表面のAFM(原子間力顕微鏡: Atomic Force Microscope、スキャンサイズ15 μ m)像を示す写真である。この基板をAFM測定後に図6以降の工程を行ってトランジスタ素子を完成させた。完成後にトランジスタ素子のDC特性を半導体パラメータアナライザ(HP4155B)で測定した。テストに用いたパターン形状は、同一サイズのトランジスタ素子が切り出した1枚の基板上に120ヶ並ぶものである。その結果、ゲートリークが少なく V_{th} のバラツキが小さい良好なトランジスタ特性が得られた。

【0031】

一方、図9は、本発明の比較例となる表面荒さ R_a が16.7nmのものである。図9は、比較例のゲート電極表面のAFM(原子間力顕微鏡: Atomic Force Microscope、スキャンサイズ15 μ m)像を示す写真である。実施例と同様にAFM測定後にトランジスタ特性の評価を行った。その結果、ゲートリークが許容範囲を超える素子が多数観測された。不良品の発生率を比較した実験結果を表1に示す。表1から、本発明で規定する平均表面荒さ R_a を0.1nm以上15nm以下の範囲に収めたサンプルの方が不良品の発生率を抑制できていることがわかった。

【0032】

【表 1】

表 1

平均表面荒さ Ra	不良品の発生率（％）
0.1～1nm	3
1～5nm	5
5～10nm	4
10～15nm	10
15～20nm	25

【0033】

実施例 2

基板としてポリエチレンテレフタレート（PET）、ゲート電極として金を用いた以外には実施例 1 と同じ構成で作成した有機薄膜トランジスタについて、ゲート電極表面の平均表面荒さ Ra と不良品の発生率の相関について検討を行った。

使用した PET は厚さが 0.1mm で、サイズが A4 版の OHP フィルムである。これを実施例 1 と同様にカードサイズ（86mm × 54mm）に切り出して使用した。

【0034】

ゲート電極となる金薄膜は、真空蒸着装置を用いてタングステンボートの抵抗加熱でマスク成膜した。金薄膜の基板との密着性を高めるため、下地層としてクロム膜を薄く成膜している。それぞれの膜厚は、0.5μm、0.1μm である。

【0035】

次に CMP を利用してゲート電極となるクロム・金積層膜を研磨した。研磨条件を調整して表面荒さが異なるサンプルを用意した。以降の工程は実施例 1 と同

様にして薄膜トランジスタ素子を作成し、静特性を半導体パラメータアナライザで測定した。平均表面荒さ R_a と有機薄膜トランジスタの不良品発生率の相関を表 2 に示す。本発明で規定する平均表面荒さ R_a を 0.1 nm 以上 15 nm 以下の範囲に収めたサンプルの方が不良品の発生率を抑制できていることがわかった。

【0036】

【表 2】

表 2

平均表面荒さ R_a	不良品の発生率 (%)
0.1~1nm	5
1~5nm	2
5~10nm	8
10~15nm	11
15~20nm	31

【0037】

実施例 1 および実施例 2 で達成している不良品の発生率は多数のトランジスタを形成した集積回路として使用する上で十分なレベルではない。これは不良品の発生原因が前述のゲートリークだけではなく実験上の不備にあるためと考えられる。従って、平均表面荒さ R_a が 15 nm を越える場合とそれ以下の場合での差は明確な優位差と捉えられる。

【0038】

本発明は図 1 の構造に基づいて説明がなされているが、この構造のみに適用されるものではない。広く同じ課題に直面するケースに適用可能であることは当該業者には容易に理解出来ることである。また、フィールド絶縁膜や保護膜やコンタクトビアなど本発明と直接関係ない部分について大幅な省略が加えられている

ことも当該業者には理解出来ることである。

【0039】

【発明の効果】

以上説明した様に、本発明は、有機半導体膜を用いた有機薄膜トランジスタにおいて、ゲート絶縁層と接するゲート電極面の平均表面荒さ R_a が 0.1 nm 以上 15 nm 以下とすることで、ガラスエポキシ樹脂のようにシリコンウエハと比べ形状が不安定で、平坦性に劣る基板上に設けた導体膜をゲート電極として使用することが可能になる。また、安定した動作特性が得られるトランジスタを多数個使用した安価な半導体装置を作ることが出来る。

【図面の簡単な説明】

【図1】

本発明の有機薄膜トランジスタの構造を示す模式図である。

【図2】

本発明の有機薄膜トランジスタに使用するゲート電極の薄膜の A F M 像を示す写真である。

【図3】

有機薄膜トランジスタの構造を示す模式図である。

【図4】

本発明の有機薄膜トランジスタを作成するプロセスを示す模式図である。

【図5】

本発明の有機薄膜トランジスタを作成するプロセスを示す模式図である。

【図6】

本発明の有機薄膜トランジスタを作成するプロセスを示す模式図である。

【図7】

本発明の有機薄膜トランジスタを作成するプロセスを示す模式図である。

【図8】

本発明の有機薄膜トランジスタを作成するプロセスを示す模式図である。

【図9】

比較例のゲート電極の薄膜の A F M 像を示す写真である。

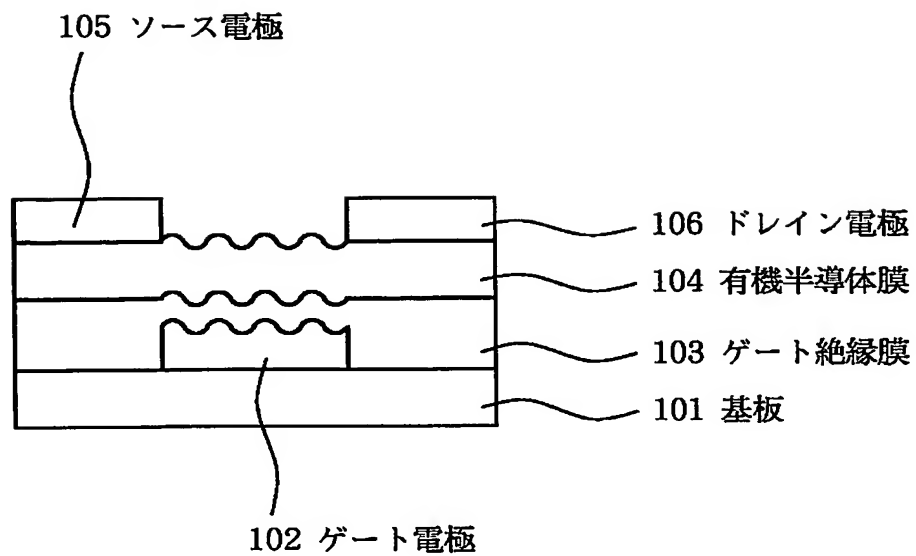
【符号の説明】

- 101 基板
- 102 導体膜からなるゲート電極
- 103 ゲート絶縁膜
- 104 有機半導体膜
- 105 ソース電極
- 106 ドレイン電極
- 301 基板
- 302 導体膜からなるゲート電極
- 303 ゲート絶縁膜
- 304 有機半導体膜
- 305 ソース電極
- 306 ドレイン電極
- 401 基板
- 402 ゲート電極となる導体膜
- 403 ゲート絶縁膜
- 404 有機半導体膜
- 405 ソース電極
- 406 ドレイン電極

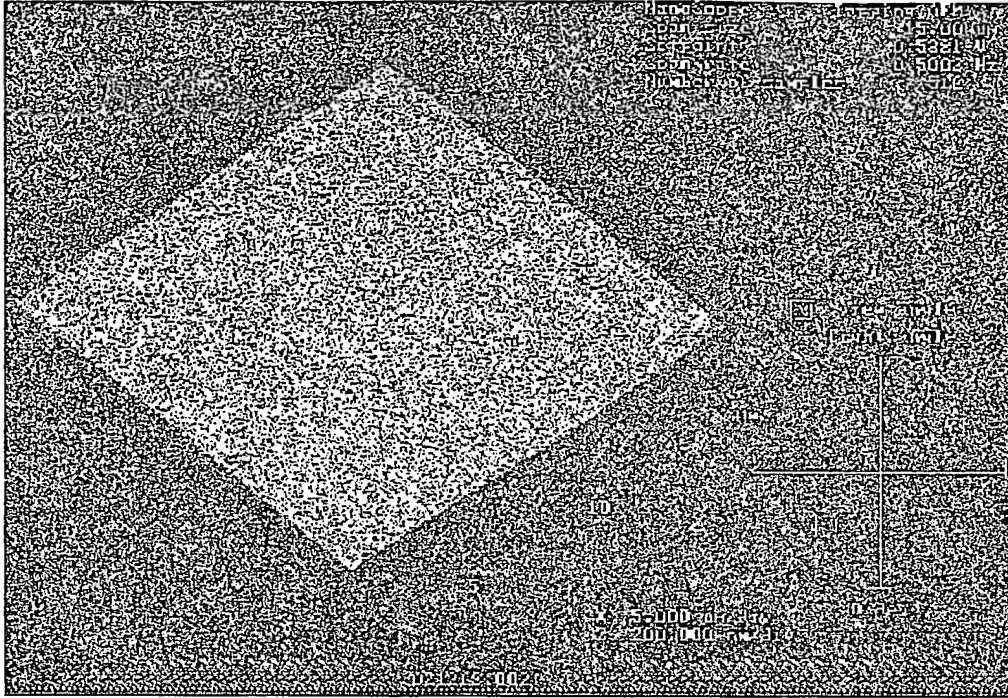
【書類名】

図面

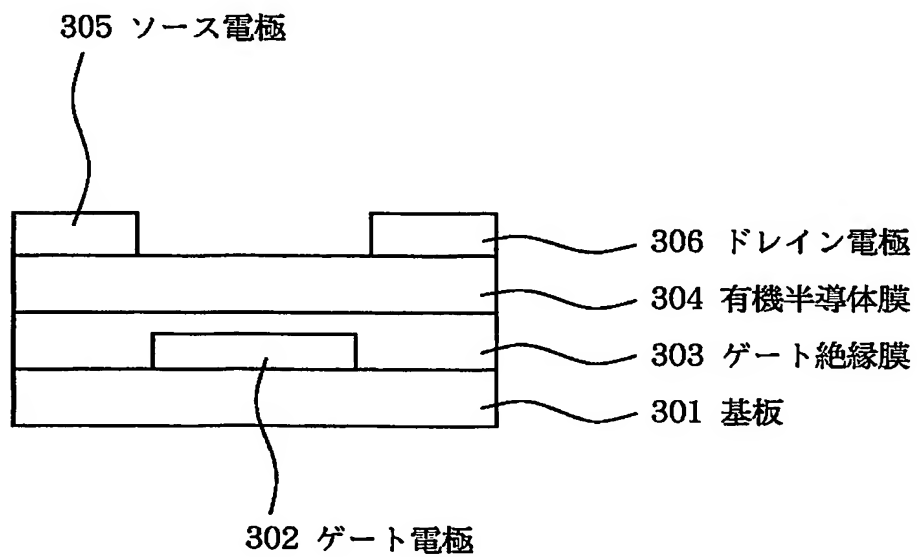
【図 1】



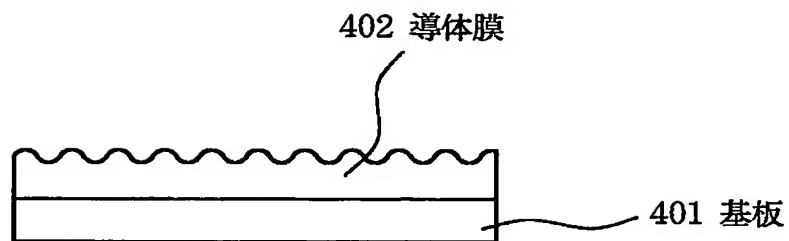
【図 2】



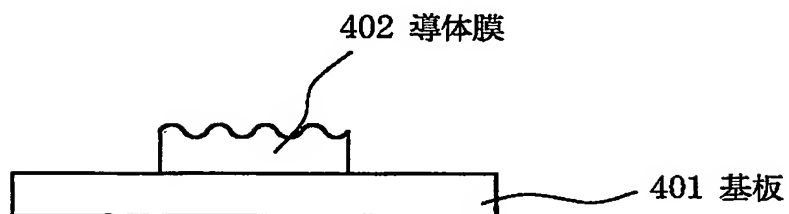
【図 3】



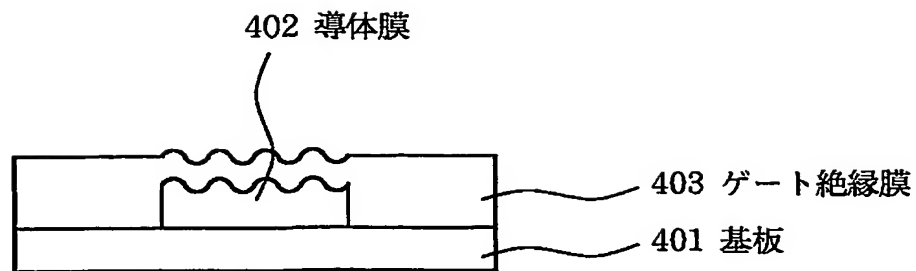
【図 4】



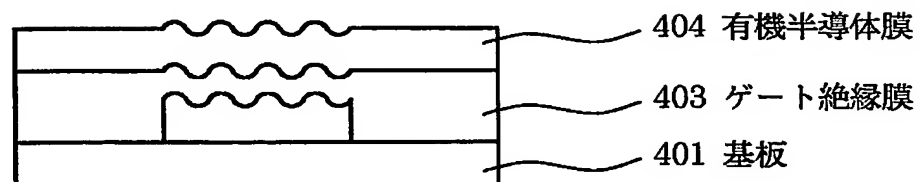
【図 5】



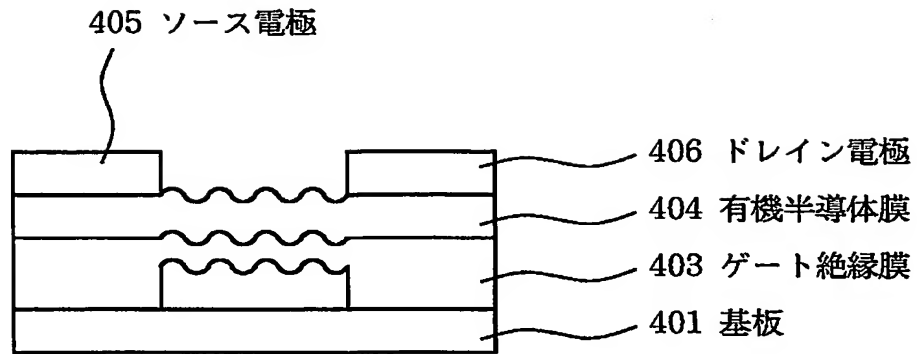
【図 6】



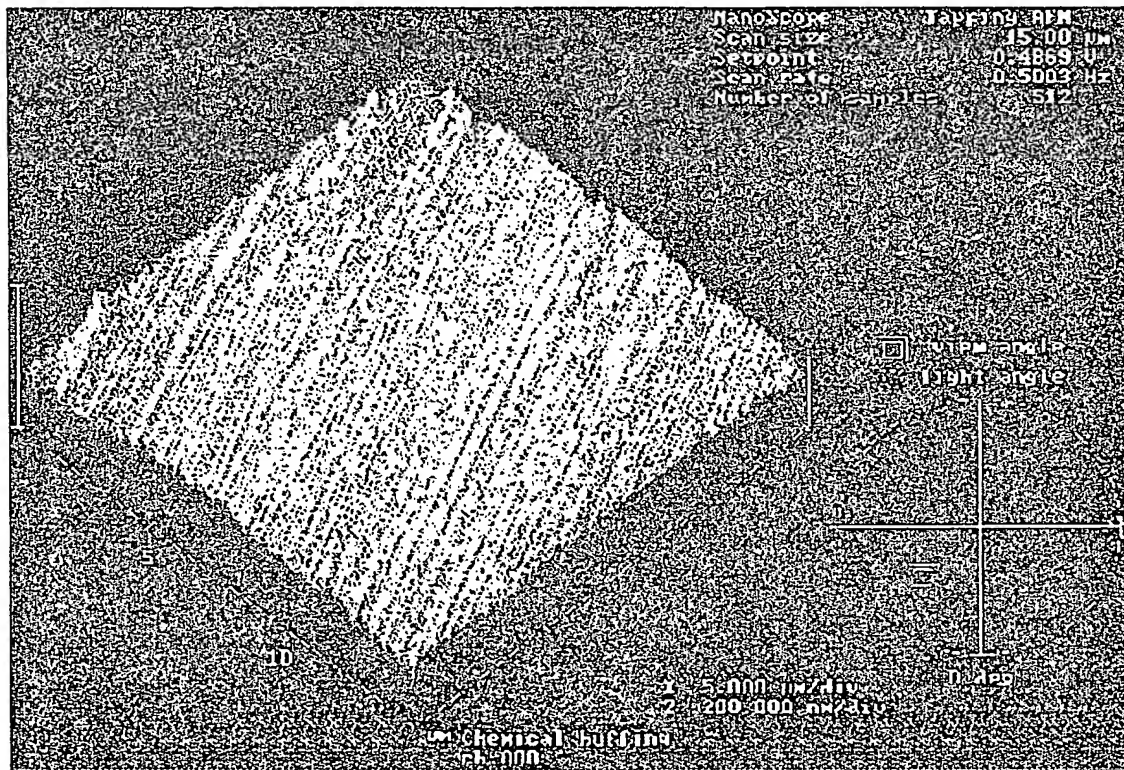
【図 7】



【図8】



【図9】



【書類名】 要約書

【要約】

【課題】 ガラスエポキシ樹脂のようにシリコンウエハと比べ形状が不安定で、平坦性に劣る基板上に設けた導体膜をゲート電極として使用しても安定した動作特性が得られる有機薄膜トランジスタを提供する。

【解決手段】 有機半導体膜を用いた有機薄膜トランジスタにおいて、有機薄膜トランジスタが有機基板、ゲート電極、ゲート絶縁膜、有機半導体膜、ソース電極、ドレイン電極によって構成されており、ゲート絶縁膜と接するゲート電極の平均表面荒さ R_a が 0.1 nm 以上 15 nm 以下である有機薄膜トランジスタ。

【選択図】 なし

特願 2 0 0 3 - 0 9 6 2 0 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 0 0 7]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都大田区下丸子 3 丁目 3 0 番 2 号

氏 名

キャノン株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.